

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-223130

(43)Date of publication of application : 12.08.1994

(51)Int.Cl.

G06F 15/60

(21)Application number : 05-027263

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 22.01.1993

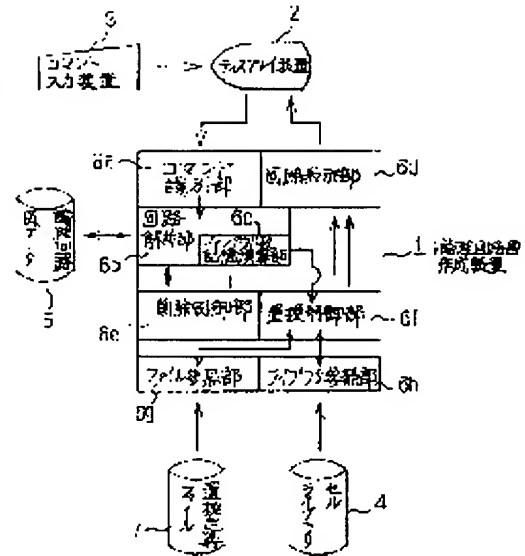
(72)Inventor : FUKUI YOSHIKI

(54) DIAGRAM PREPARATION SYSTEM

(57)Abstract:

PURPOSE: To automatically delete and simplify the unwanted part of a logic circuit in one hierarchy prepared during the use of a logic circuit diagram preparing device.

CONSTITUTION: Cells arranged on a display device 2 are deleted or replaced at real time by analyzing the unwanted part of the logic circuit or the part to be simplified of the logic circuit called onto the display device 2 by using a command identification part 6a, circuit analysis part 6b, fan-out number storage and arithmetic part 6c, deletion control part 6e and replacement control part 6f provided at a logic circuit diagram preparing device 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

[Abstract]

[Object]

To automatically delete an unnecessary portion from a one-layer logic circuit or simplify the circuit created during the use of a logic circuit diagram creation apparatus.

[Means for Achieving the Object]

A logic circuit diagram creation apparatus 1 is provided with a command identification section 6a, a circuit analysis section 6b, a fan-out count storage and process section 6c, a deletion control section 6e, and a replacement control section 6f. Using these sections, the logic circuit diagram creation apparatus 1 is configured to analyze an unnecessary portion or a portion capable of being simplified in a logic circuit called on a display apparatus 2 and delete or replace a cell arranged on the display apparatus 2.

[0008]

[Embodiments]

[1st Embodiment]

An embodiment of the present invention will be described in further detail with reference to the accompanying drawings. FIG. 1 is a block diagram of a diagram creation system according to an embodiment of the present invention. In FIG. 1, the reference numeral 1 represents a logic circuit diagram creation apparatus; 2 a display apparatus to display a logic circuit diagram; 3 a command input apparatus such as a keyboard, a mouse, and the like to enter commands for logic circuit diagram input; 4 a cell library to store

information about cells constituting a logic circuit diagram; 5 a logic circuit diagram data to store information about the input logic circuit diagram; 6a a command identification section to identify a command entered from the command input apparatus 3; 6b a circuit analysis section to analyze the logic circuit diagram data 5 based on contents of an input command; 6c a fan-out count storage and process section to store and process a fan-out count (the number of loads associated with cell output) of a cell extracted by the circuit analysis section 6b; 6d a circuit display section to allow the display apparatus 2 to display a logic circuit diagram being processed or a deleted or simplified logic circuit diagram, and the like; 6e a deletion control section to delete an unnecessary portion in the logic circuit based on data output from the circuit analysis section 6b; 6f a replacement control section to replace a cell in the logic circuit with another cell based on data output from the circuit analysis section 6b; 6g a file reference section to extract replacement definition data from the replacement definition file 7 according to an instruction from the replacement control section 6f; 6h a library reference section to extract cell data from the cell library 4 according to an instruction from the replacement control section 6f; and 7 a replacement definition file storing cell replacement definition information. The logic circuit diagram creation apparatus 1 comprises the command identification section 6a, the circuit analysis section 6b, the fan-out count storage and process section 6c, the circuit display section 6d, the deletion control section 6e, the replacement control section 6f, the file reference section 6g, and the library reference

section 6h.

[0009]

FIG. 2 shows a logic circuit diagram for a process example. In FIG. 2, the reference numeral 2a denotes a display screen on the display apparatus 2; 25 a logic circuit diagram displayed on the display screen 2a; 21 a probe signifying a power connection; 22 a probe signifying deletion; and 23 a cell to be processed by the fan-out count storage and process section 6c. FIG. 3 shows a logic circuit diagram after process. In FIG. 3, the reference numeral 2a represents a display screen; 26 a logic circuit diagram displayed on the display screen 2a; and 24 a cell list window showing a list of inverters capable of replacing a cell to be processed with another.

[0010]

The following describes operations of the embodiment with reference to FIGS. 1 through 4. A flowchart in FIG. 4 shows a process flow to delete an unnecessary portion from the logic circuit or simplify the logic circuit. Let us consider to delete a circuit portion from the logic circuit diagram (or a logic circuit being entered). When the probe 22 needs to be simplified at the end of a net connected to the circuit portion, the probe 21 is placed at the probe 22 (step 41). The command identification section 6a identifies whether the deletion or the simplification is to be performed (step 42). Associated logic circuit data is extracted from the logic circuit diagram data (step 43 or 48). The circuit analysis section 6b analyzes the data (step 44 or 49). When the replacement is specified, the fan-out count storage and process

section 6c stores and processes the fan-out count for surrounding cells (step 50). It is confirmed whether or not the replacement definition file 7 contains data resulting from the analysis by the replacement control section 6f (step 51). If such data is not found, an error is output (step 56). If the data is available, the file reference section 6g extracts replacement definition data (step 52). Based on that data, the library reference section 6h extracts the corresponding cell data from the cell library 4 (step 53). That is to say, the replacement control section 6f temporarily stores cells processed by the fan-out count storage and process section 6c, and then finds a cell matching the fan-out count from the cell library 4. The process then performs replacement based on the fan-out count data and the cell data for surrounding cells obtained at steps 50 and 53 (step 54). In this example, the display apparatus 2 also displays other replaceable cells. In the case of deletion, a cell is deleted from the logic circuit diagram (step 45). In the case of deletion as well as simplification, the display apparatus 2 displays a process result (step 46). The logic circuit diagram data 5 stores data as a process result (step 47).

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-223130

(43) 公開日 平成6年(1994)8月12日

(51) Int.Cl.⁵

G 0 6 F 15/60

識別記号

庁内整理番号

F I

技術表示箇所

3 6 0 K 7623-5L

審査請求 未請求 請求項の数 1 F D (全 6 頁)

(21) 出願番号 特願平5-27263

(22) 出願日 平成5年(1993)1月22日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 福井 賀章

伊丹市瑞原4丁目1番地 三菱電機株式会
社北伊丹製作所内

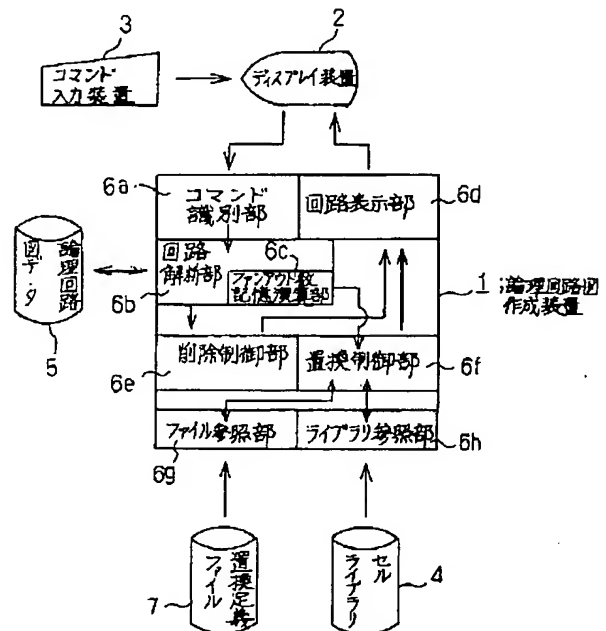
(74) 代理人 弁理士 宮園 純一

(54) 【発明の名称】 図面作成システム

(57) 【要約】

【目的】 論理回路図作成装置の使用中に作成した1階層の論理回路の不必要部分の削除、簡単化を自動的に行えるようにする。

【構成】 論理回路図作成装置1に設けたコマンド識別部6a、回路解析部6d、ファンアウト数記憶演算部6c、削除制御部6e、置換制御部6fを用いてディスプレイ装置2に呼び出された論理回路の不必要部分や簡単化できる部分を解析しディスプレイ装置2上に配置されたセルの削除や置換をリアルタイムで行う。



1

【特許請求の範囲】

【請求項1】 論理回路図を作成するためのコマンドを入力するコマンド入力装置と、このコマンド入力装置より入力されたコマンドに従って論理回路図を作成し、論理回路図データとして保存する論理回路図作成装置と、上記作成した論理回路図を表示するディスプレイ装置とを備えた図面作成システムにおいて、上記コマンド入力装置から入力されたコマンドを識別するコマンド識別部、上記入力されたコマンドに基づいて上記論理回路図データを解析する回路解析部、この回路解析部が抽出する論理回路のセルのファンアウト数を記憶し演算するファンアウト数記憶演算部、上記回路解析部から出力されるデータに基づいて論理回路の不要部分を削除する削除制御部、上記回路解析部から出力されるデータに基づいて論理回路のセルを他のセルに置換する置換制御部、および上記処理中の論理回路図や処理結果の論理回路図等を上記ディスプレイ装置に表示させる回路表示部を上記論理回路図作成装置に設けたことを特徴とする図面作成システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、表示画面上でLSI設計における論理回路図を作成する為の論理回路図作成装置を有する図面作成システムに関するものである。

【0002】

【従来の技術】 図5は、従来の図面作成システムのブロック図である。図5において、1は論理回路図作成装置、2は論理回路図を表示する為のディスプレイ装置、3は論理回路図入力の際のコマンドを入力する為のキーボードやマウス等のコマンド入力装置、4は論理回路図を構成する各セルの情報が格納されたセルライブラリ、5は入力した論理回路図の情報が格納された論理回路図データである。

【0003】 次に動作について説明をする。まず、コマンド入力装置3から論理回路図を作成するためのコマンドが入力され、ディスプレイ装置2を経由して、論理回路図作成装置1に入る。論理回路図作成装置1は送られてきたコマンドを読み取り、セルライブラリ4を参照し、セルのシンボルデータをディスプレイ装置2に送り表示すると共に作成された論理回路図を論理回路図データ5として保存する。

【0004】

【発明が解決しようとする課題】 従来の図面作成システムは以上のように構成されているので、論理回路を入力中、仕様変更等の理由で不必要な回路部分が発生した場合、設計者はその回路部分を使用する上位の記述上で空端子にしてホストCAD（以降、メインフレームと呼ぶ）にて削除を行うか不要部分が小規模なときは、論理回路図作成装置の削除コマンドを使用し手作業で削除しなければならない、また登録してある論理回路を簡単化し

2

て使用する場合でも上位の記述上で入力端子に電源、GNDを接続してメインフレームで簡単化することが必要で、メインフレーム上で処理されるまでは、大規模なセル削減が出来ず、論理回路図作成装置上での回路修正、変更には時間が多くかかるなどの問題点があった。

【0005】 この発明は、上記のような問題点を解消する為になされたもので、論理回路図作成装置の使用中に作成した1階層の論理回路の不要部分の削除や簡単化を自動的に行うことができる図面作成システムを得ることを目的とする。

【0006】

【課題を解決するための手段】 この発明に係る図面作成システムにおいては、論理回路図作成装置1は、コマンド入力装置3から入力されたコマンドを識別するコマンド識別部6aと、上記入力されたコマンドに基づいて論理回路図データ5を解析する回路解析部6bと、この回路解析部6bが抽出する論理回路のセルのファンアウト数を記憶し演算するファンアウト数記憶演算部6cと、上記回路解析部6bから出力されるデータに基づいて論理回路の不要部分を削除する削除制御部6eと、上記回路解析部6bから出力されるデータに基づいて論理回路のセルを他のセルに置換する置換制御部6fと、上記処理中の論理回路図や処理結果の論理回路図等をディスプレイ装置2に表示させる回路表示部6dとを備える。

【0007】

【作用】 コマンド識別部6aはコマンド入力装置3から入力されたコマンドを識別し、回路解析部6bは上記コマンドに基づいて論理回路図データ5を解析する。ファンアウト数記憶演算部6cは回路解析部6bが抽出する論理回路のセルのファンアウト数を記憶し演算する。削除制御部6eは回路解析部6bから出力されるデータに基づいて論理回路の不要部分を削除する。置換制御部6fは回路解析部6bから出力されるデータに基づいて論理回路のセルを他のセルに置換する。回路表示部6dは処理中の論理回路図や処理結果の論理回路図等をディスプレイ装置2に表示させる。

【0008】

【実施例】

実施例1. 以下、この発明の一実施例を図に従って説明する。図1はこの発明の一実施例による図面作成システムのブロック図である。図1において、1は論理回路図作成装置、2は論理回路図を表示する為のディスプレイ装置、3は論理回路図の入力の際のコマンドを入力する為のキーボードやマウス等のコマンド入力装置、4は論理回路図を構成する各セルの情報が格納されたセルライブラリ、5は入力した論理回路図の情報が格納された論理回路図データ、6aはコマンド入力装置3から入力されたコマンドを識別するコマンド識別部、6bは入力されたコマンドの内容に基づいて論理回路図データ5を解析する回路解析部、6cは回路解析部6bが抽出するセ

3

ルのファンアウト数（セルの出力につながる負荷の数）を記憶し演算するファンアウト数記憶演算部、6 dは処理中の論理回路図あるいは削除や簡単化された結果の論理回路図等をディスプレイ装置2に表示させる回路表示部、6 eは回路解析部6 bから出力されるデータに基づいて論理回路の不要部分を削除する削除制御部、6 fは回路解析部6 bから出力されるデータに基づいて論理回路のセルを他のセルに置換する置換制御部、6 gは置換制御部6 fの指示により置換定義ファイル7から置換定義データを抽出するファイル参照部、6 hは置換制御部6 fの指示によりセルライブラリ4からセルのデータを抽出するライブラリ参照部、7はセルの置換定義情報が格納された置換定義ファイルである。なお、論理回路図作成装置1は、コマンド識別部6 a、回路解析部6 b、ファンアウト数記憶演算部6 c、回路表示部6 d、削除制御部6 e、置換制御部6 f、ファイル参照部6 g、およびライブラリ参照部6 hから成る。

【0009】図2は処理の実施例の論理回路図を示す図であり、図2において、2 aはディスプレイ装置2の表示画面、2 5は表示画面2 aに表示された論理回路図、2 1は電源の接続を意味するブロープ、2 2は削除を意味するブロープ、2 3はファンアウト記憶演算部6 cが行う処理対象のセルを示す。図3は処理の実施後の論理回路図を示す図であり、図3において、2 aは表示画面、2 6は表示画面2 aに表示された論理回路図、2 4は処理対象のセルを他のものに置換できるインパータの一覧を示すセル一覧ウィンドウである。

【0010】次に図1～図4を参照してこの実施例の動作について説明する。図4のフローチャートには論理回路の不要部分を削除したり、簡単化を行うときの処理の流れを示す。論理回路図中（論理回路入力中でもよい。）に削除したい回路部分があった場合は、その部分に接続されているネットの端にブロープ2 2を簡単化したいときは、ブロープ2 2の位置にブロープ2 1を立てる（ステップ4 1）。コマンド識別部6 aが、削除か簡単化かを識別する（ステップ4 2）。次に論理回路図データより該当する論理回路データを抽出し（ステップ4 3または4 8）、回路解析部6 bが解析を行う（ステップ4 4または4 9）。置換の場合は周辺セルのファンアウト数の記憶演算をファンアウト記憶演算部6 cが行い（ステップ5 0）、置換制御部6 fが解析を行った結果のデータが置換定義ファイル7にあるかを確認する（ステップ5 1）。無い場合はエラーを出力し（ステップ5 6）、ある場合は置換定義データをファイル参照部6 gが抽出する（ステップ5 2）。そのデータに基づいて置換定義データに該当するセルデータをライブラリ参照部6 hがセルライブラリ4より抽出する（ステップ5 3）。即ち置換制御部6 fはファンアウト数記憶演算部6 cで算出した各セルを一度データベースに取り込み、そのファンアウト数に合うセルをセルライブラリ4

4

の中より探し出す。次にステップ5 0とステップ5 3で得られた周辺セルのファンアウト数データとセルデータをもとに置換を行うが（ステップ5 4）、ここではディスプレイ装置2上で他にも置換できるセルの表示も行う。削除の場合は論理回路図上のセルの削除を行い（ステップ4 5）、簡単化、削除の場合共に処理結果をディスプレイ装置2に表示を行って（ステップ4 6）、処理結果のデータを論理回路図データ5に保存する（ステップ4 7）。

【0011】ところで、論理回路のセルの応答速度は負荷によって通常変化する。したがって、セルの出力ピンにいくつかのセルが接続しているかを算出してそのファンアウト数に応じたセルを置換することにより、最適な論理回路が作成できる。

【0012】

【発明の効果】以上のように本発明によれば、論理回路図作成装置にコマンド識別部、回路解析部、ファンアウト数記憶演算部、削除制御部、置換制御部、および回路表示部を設け、ディスプレイ装置に表示された論理回路の不要部分や簡単化できる部分を解析し、論理回路のセルの削除や置換をリアルタイムで行うように構成したので、論理回路図作成装置の使用中に作成した1階層の論理回路の不要部分の削除や簡単化を自動的に行うことができ、LSIの設計時のセル数削減に要する時間の短縮化を図れるという効果が得られる。

【図面の簡単な説明】

【図1】この発明の一実施例による図面作成システムのブロック図である。

【図2】この実施例において処理実施前の論理回路図を示す図である。

【図3】この実施例において処理実施後の論理回路図を示す図である。

【図4】この実施例の動作を示すフローチャートである。

【図5】従来の図面作成システムのブロック図である。

【符号の説明】

- 1 論理回路図作成装置
- 2 ディスプレイ装置
- 3 コマンド入力装置
- 4 セルライブラリ
- 5 論理回路図データ
- 6 a コマンド識別部
- 6 b 回路解析部
- 6 c ファンアウト数記憶演算部
- 6 d 回路表示部
- 6 e 削除制御部
- 6 f 置換制御部
- 6 g ファイル参照部
- 6 h ライブラリ参照部
- 7 置換定義ファイル

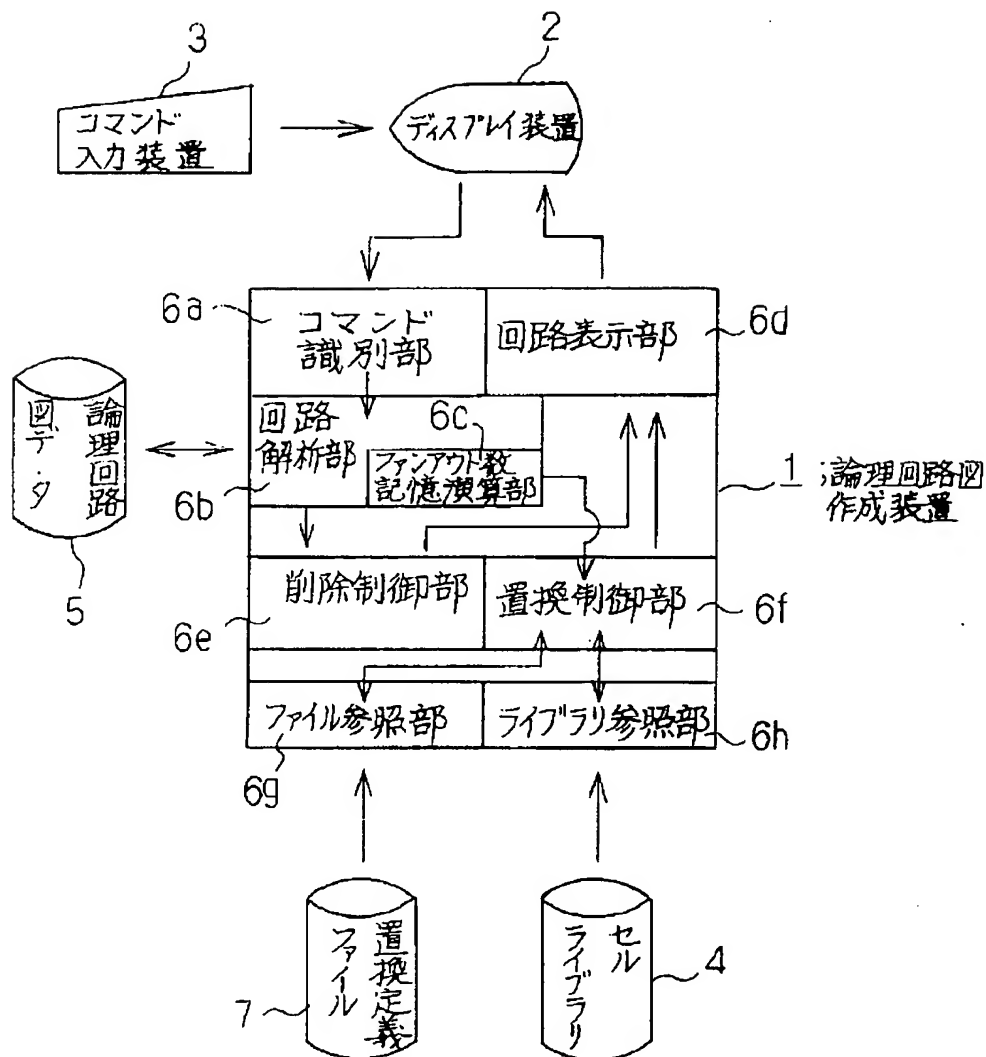
5

6

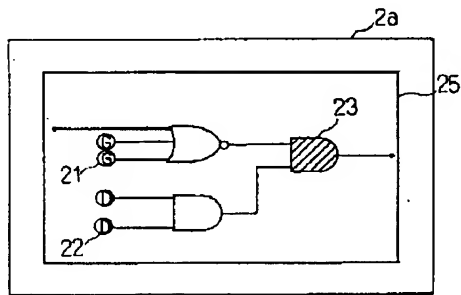
- 21 プローブ
- 22 プローブ
- 23 ファンアウト演算対象セル
- 24 セル一覧ウィンドウ

- 2a 表示画面
- 25 処理実施例前の論理回路図
- 26 処理実施例後の論理回路図

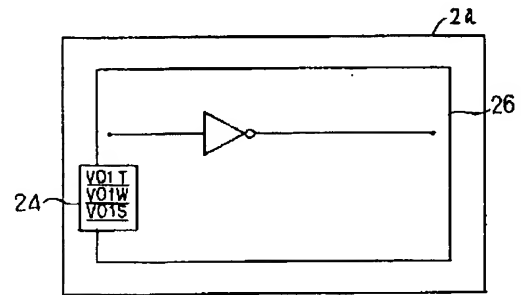
【図1】



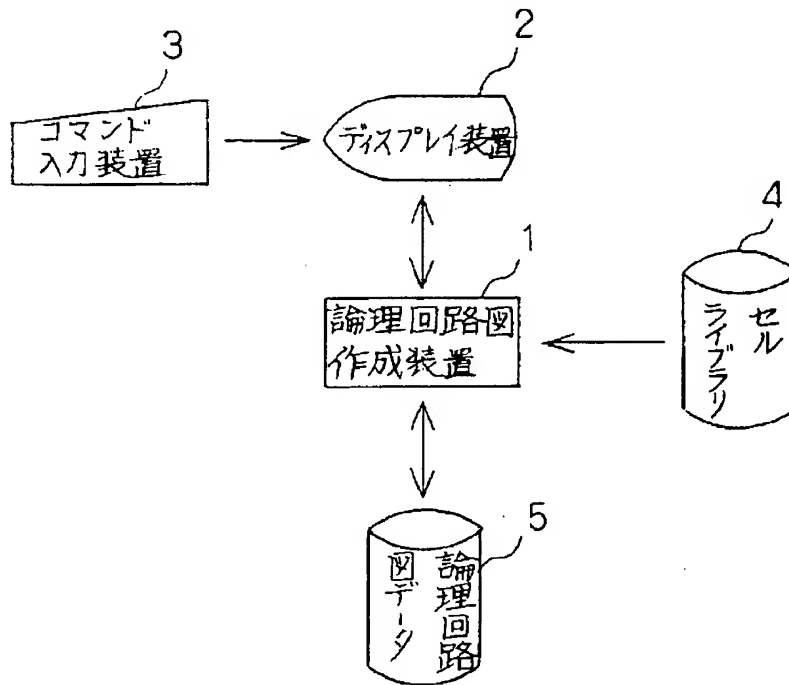
【図2】



【図3】



【図5】



【図4】

